

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

3/5/1 (Item 1 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

012395004 **Image available**
WPI Acc No: 1999-201111/ 199917
XRPX Acc No: N99-148938

Chip information holder used in semiconductor chip manufacture - has
wafer that contains effective information regarding position of chip
Patent Assignee: NIPPONDENSO CO LTD (NPDE); DENSO CORP (NPDE)
Inventor: AO K; FUKADA T; ISHIO S; KANOSUE M; MURATA M
Number of Countries: 002 Number of Patents: 002
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11045839	A	19990216	JP 97200179	A	19970725	199917 B
US 6143584	A	20001107	US 98121893	A	19980724	200059

Priority Applications (No Type Date): JP 97200179 A 19970725; JP 97225175 A
19970821

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11045839	A	5	H01L-021/02	
US 6143584	A		H01L-021/00	

Abstract (Basic): JP 11045839 A

NOVELTY - The wafer (1) contains effective information regarding
the position of semiconductor chips, based on which defect after
mounting semiconductor chip is determined. DETAILED DESCRIPTION - An
INDEPENDENT CLAIM is included for chip information storing method.

USE - In semiconductor chip manufacture.

ADVANTAGE - Chip with poor mark is isolated and eliminated easily.
DESCRIPTION OF DRAWING(S) - The figure shows semiconductor chip with
chip position designation code. (1) Wafer.

Dwg.1/3

Title Terms: CHIP; INFORMATION; HOLD; SEMICONDUCTOR; CHIP; MANUFACTURE;
WAFER; CONTAIN; EFFECT; INFORMATION; POSITION; CHIP

Derwent Class: S02; U11; U12

International Patent Class (Main): H01L-021/00; H01L-021/02

International Patent Class (Additional): H01L-021/304; H01L-021/68

File Segment: EPI

3/5/2 (Item 1 from file: 347)
DIALOG(R) File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

06104316 **Image available**
SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: 11-045839 A]
PUBLISHED: February 16, 1999 (19990216)
INVENTOR(s): MURATA MINORU
AO KENICHI
ISHIO SEIICHIRO
APPLICANT(s): DENSO CORP
APPL. NO.: 09-200179 [JP 97200179]
FILED: July 25, 1997 (19970725)
INTL CLASS: H01L-021/02; H01L-021/304; H01L-021/68

ABSTRACT

PROBLEM TO BE SOLVED: To provide a semiconductor chip and its manufacturing
method, wherein improvement of yield of semiconductor products after chip
mounting is markedly facilitated, as compared with the conventional
technique by facilitating so as to relate manufacturing process record,
i.e., manufacturing data of the respective semiconductor chips with

characteristics data.

SOLUTION: Effective information for defining chip positions on a wafer 1, e. g. chip position designation marks as numbers specific to chip regions 2 is imparted to respective semiconductor chips 3. The effective information for defining chip positions on the wafer (which are also called chip position designation information here in after) means information useful for deciding space positions on the wafer of specified chip regions, before being divided into semiconductor chips. As a result, the examination and analysis of relation between failures or irregularity of characteristics for semiconductor products after chip mounting and chip positions on a wafer are facilitated, and improvement in manufacturing processes for increasing the yield of semiconductor products after the chip mounting has been conducted.

COPYRIGHT: (C)1999, JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-45839

(43)公開日 平成11年(1999) 2月16日

(51)Int.Cl.⁹H 0 1 L 21/02
21/304
21/68

識別記号

3 2 1

F I

H 0 1 L 21/02
21/304
21/68A
3 2 1 Z
F

審査請求 未請求 請求項の数8 O L (全 5 頁)

(21)出願番号

特願平9-200179

(22)出願日

平成9年(1997) 7月25日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 村田 稔

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 青 建一

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 石王 誠一郎

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

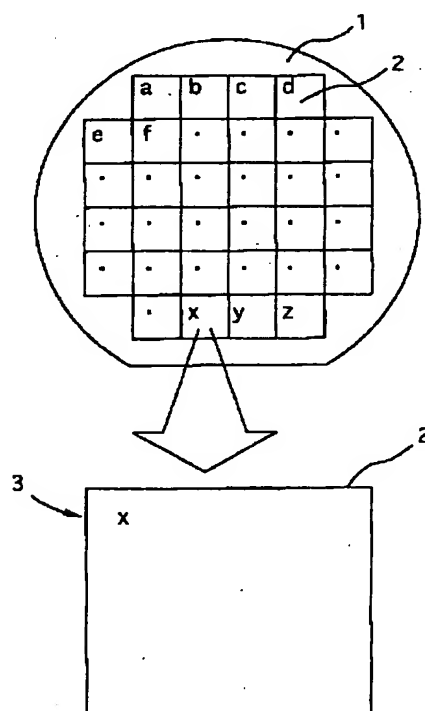
(74)代理人 弁理士 大川 宏

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】各半導体チップの製造プロセス履歴すなわち製造データと特性データとの関連付けを容易化し、チップ実装後の半導体製品の歩留まり改善を従来より格段に容易化可能な半導体チップ及びその製造方法を提供すること。

【解決手段】半導体チップ3はそれぞれ、ウエハ1上のチップ位置の特定に有効な情報たとえばチップ領域2に特有の番号であるチップ位置指定符号が付与される。ここで、ウエハ上のチップ位置の特定に有効な情報（以下、チップ位置指定情報とも言う）とは、半導体チップに分割される前の所定のチップ領域のウエハ上の空間位置を決定するのに役立つ情報を意味する。これにより、チップ実装後の半導体製品の不良や特性のばらつきと、ウエハ上のチップ位置との関連を調査、解析するのが容易となり、チップ実装後の半導体製品の歩留まり向上のための製造プロセスの改善が容易となる。



1

【特許請求の範囲】

【請求項1】所定のウエハから切断分離されてなる半導体チップをもつ半導体装置において、前記半導体チップは、前記ウエハ上のチップ位置の特定に有効な情報をもつことを特徴とする半導体チップ。

【請求項2】請求項1記載の半導体装置において、前記半導体チップは、前記ウエハ自体の特定に有効な情報をもつことを特徴とする半導体装置。

【請求項3】請求項1記載の半導体装置において、前記半導体チップとは別体に形成されるとともに前記ウエハ自体の特定に有効な情報が書き込まれた記憶素子と、前記記憶素子及び前記半導体チップを収容するパッケージとを有することを特徴とする半導体装置。

【請求項4】所定のウエハに所定の回路機能を有する多数のチップ領域を形成した後、各前記チップ領域を分割して形成された半導体チップを有する半導体装置の製造方法において、前記ウエハ上の自己のチップ位置の特定に有効な情報を前記分割前に前記チップ領域毎に付与する情報付与工程を有することを特徴とする半導体装置の製造方法。

【請求項5】請求項4記載の半導体装置の製造方法において、

前記情報付与工程は、互いに異なるチップ位置指定情報を前記ウエハ上の全チップ領域に付与する工程を含むことを特徴とする半導体装置の製造方法。

【請求項6】請求項4記載の半導体装置の製造方法において、

前記情報付与工程は、前記情報を視認可能に表示するパターンを前記チップ領域に形成するパターンニング工程からなることを特徴とする半導体装置の製造方法。

【請求項7】請求項4乃至6のいずれかに記載の半導体装置の製造方法において、前記ウエハ自体の特定に有効な情報を前記分割前に前記チップ領域毎に付与する情報付与工程を有することを特徴とする半導体装置の製造方法。

【請求項8】請求項4乃至7のいずれかに記載の半導体装置の製造方法において、前記情報付与工程は、前記チップ領域に前記回路機能を形成するための工程と同じ工程にて実施されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体チップおよびその製造方法に関する。

【0002】

【従来の技術】半導体製造プロセスは、ウエハ主面に分割可能に区画された多数のチップ領域にそれぞれ回路機能を作製し、その後、ウエハをダイシングして各チップに分割するウエハプロセスと、分割された個々のチップを実装する実装工程とからなり、チップ分割前、チップ

2

分割後、実装後の各段階の少なくともいずれかで特性検査や外観検査などを行うが通常である。チップ分割前に検査する場合には、検査結果が不良であるチップ領域にはなんらかの不良マークを付与する。これにより、チップ分割後、不良マークをもつチップは分離、排除される。

【0003】

【発明が解決しようとする課題】ところが、不良チップは分割後実装前に排除されるにもかかわらず、チップ実装後の半導体製品の不良原因が半導体チップそのものにあるケースが多々ある。この場合、チップ実装後では半導体チップを特定することができないため、半導体チップそのものの特性や製造プロセス等と半導体製品の不良項目との関連を解析するのが困難である。半導体製品では、チップ実装後の半導体製品の歩留まり向上が重要であり、不良項目の原因究明、改善が不断に実施されているが、このことが不良項目の原因究明、改善による歩留まり向上の支障となっていた。

【0004】また、製造された半導体チップの特性向上または製造プロセスの改善などにおいても、チップ実装後の半導体製品の試験データに基づいてそれを行う必要があるにもかかわらず、上記と同様、各半導体チップそれぞれに与えられた製造プロセス履歴の特定が難しく、十分な効果を得ることができなかった。本発明は、上記問題点に鑑みなされたものであり、各半導体チップの製造プロセス履歴すなわち製造データと半導体チップの特性データとの関連付けを容易化し、チップ実装後の半導体製品の歩留まり改善を従来より格段に容易化可能な半導体チップ及びその製造方法を提供することを、その目的としている。

【0005】

【課題を解決するための手段】請求項1又は4に記載の構成によれば、各半導体チップはそれぞれ、ウエハ上のチップ位置の特定に有効な情報が付与される。ここで、ウエハ上のチップ位置の特定に有効な情報（以下、チップ位置指定情報とも言う）とは、半導体チップに分割される前の所定のチップ領域のウエハ上の空間位置を決定するのに役立つ情報を意味する。

【0006】同一プロセスラインを流れる各ウエハ上において各チップ領域は、同じ配列パターンで配列されるのは周知の通りである。したがって、各チップ領域が、ウエハ上の自己の位置に関する情報をもつことにより、チップ分割後であっても、各半導体チップの元のウエハ上のチップ位置を知ることができるので、実装後の半導体製品の不良や特性ばらつきと、半導体チップの特性やウエハ上のチップ位置との関係を調査、解析するのが容易となる。よって、実装後の半導体製品の歩留まり向上のための、半導体チップ特性の検査規格紋り込みや製造プロセス上の原因解明が容易となる。

【0007】上記チップ位置指定情報としては、ウエハ

3

上の各チップ領域ごとに付与された互いに異なるチップ番号やチップ符号が好適であるが、番号や符号の数を減らすために、同一ウエハ上の複数のチップ領域に同一の番号や符号を付与することも可能である。例えば、各チップ領域を、互いに隣接する複数のチップ領域ごとにグループ化し、各グループごとに番号又は符号を付与してもよい。すなわち、同一グループ内の各チップ領域はウエハ上において空間的に近接するので、それらの製造プロセス条件の差は、他のグループのチップ領域との間の差より小さく、上述した半導体チップの不良や特性のばらつきと、ウエハ上のチップ位置との関連を調査、解析するのに役立つ。

【0008】請求項2記載の構成によれば請求項1記載の構成において更に、各半導体チップにはそれぞれ、元のウエハ自体の特定に有効な情報が付与される。ここで、ウエハの特定に有効な情報（以下、ウエハ特定情報とも言う）とは、半導体チップに分割される前のチップ領域が存在した元のウエハを指定するのに役立つ情報を意味する。

【0009】同一プロセスラインを流れる各ウエハであっても、各ウエハの製造プロセス条件は微妙にばらつくことが知られている。したがって、チップ領域ごとにウエハを特定するのに役立つ情報を付与すれば、ウエハ分割後の半導体チップに障害が生じたり、特性がばらついたりする場合であっても、元のウエハを特定することが容易となるので、実装後の半導体製品の不良や特性のばらつきと、ウエハに与えた製造プロセス条件との関連を調査、解析するのが容易となり、半導体チップの歩留まり向上のための製造プロセスの改善が容易となる。

【0010】なお、製造プロセス各部の実際の履歴は記録、保持されているので、半導体チップがかって属したウエハの特定がなされれば、そのウエハに付与された製造プロセス履歴は判明する。上記ウエハ特定情報としては、各ウエハごとに付与された互いに異なるウエハ番号やウエハ符号が好適であるが、番号や符号の数を減らすために、例えば製造プロセス中で空間的又は時間的に近接する複数のウエハに同一の番号や符号を付与することも可能である。例えば、熱処理を同時に行うウエハ群に同一のウエハ番号を与えれば、炉内のウエハ位置による熱処理条件のばらつきによる影響は特定できないものの、各熱処理ごとの製造プロセス条件のばらつきによる半導体チップの特性ばらつきや不良を把握、解析することが可能となる。すなわち、同一グループ内の各ウエハは製造プロセス中で時間又は空間的に近接するので、それらの製造プロセス条件の差は、他のグループのウエハとの間の差より小さいので、上述した半導体チップの不良や特性のばらつきと、ウエハに与えた製造プロセス条件との関連を調査、解析するのに役立つ。更に、製造プロセス完了直後の時刻などを示す符号を上記ウエハ特定情報として各チップ領域に付与することも可能である。

4

【0011】請求項3記載の構成によれば請求項1記載の構成において更に、半導体チップとは別体に形成された書き込み可能な記憶素子に、上記半導体チップがかって属したウエハ自体の特定に有効な情報が書き込まれ、更にこれら書き込み可能な記憶素子及び半導体チップは同じパッケージに収容する。このようにすれば、請求項2記載の構成と同じ作用効果を奏することができる。

【0012】請求項5記載の構成によれば請求項4記載の構成において更に、互いに異なるチップ位置指定情報がウエハ上の全チップ領域に付与される。このようにすれば、チップ領域の完全な確定が可能となるので、半導体チップに与えられた製造プロセス履歴の精密な調査、解析が可能となる。請求項6記載の構成によれば請求項4記載の構成において更に、チップ位置指定情報は視認可能なパターンとしてパターンニング工程でチップ領域に形成される。

【0013】請求項7記載の構成によれば請求項4乃至6のいずれかに記載の構成において更に、ウエハの特定に有効な情報が付与される。請求項8記載の構成によれば請求項4乃至7のいずれかに記載の構成において更に、これらチップ位置指定情報やウエハ特定情報付与のための情報付与工程は、チップ領域に所定の回路機能を形成するための工程と同じ工程にて実施される。このようにすれば、プロセス延長を回避することができ、新規な工程の追加が少なく済む。

【0014】

【発明を実施するための形態】本発明の好適な態様を以下の実施例を参照して説明する。

（実施例1）この発明の半導体装置の製造方法の一実施例を以下に説明する。図1に示す模式図において、ウエハ1には、予め定められた配列パターンで一定数のチップ領域2が区画、形成され、更に各チップ領域2には互いに異なる例えばアルファベット文字列（ここでは一字のみ図示する）からなるチップ位置指定符号（チップ位置指定情報）a～zが形成される。ここで、各ウエハ1における同一の空間位置のチップ領域2には同一のチップ位置指定符号が与えられた後、各チップ領域2はダイシングにより分割されて、それぞれ半導体チップ3となる。

【0015】これにより、ウエハ1から分割された後の半導体チップがウエハ1上のどのチップ領域から切り出されたかを知ることができる。この実施例におけるチップ位置指定符号a～zの形成工程を図2のプロセスフロー図を参照して説明する。このプロセスフローは、加速度センサ製造工程を示すものであって、まず、表面抵抗形成工程100では、シリコン基板表面へのシリコン酸化膜形成、イオン注入やデポによる拡散抵抗形成が行われる。

【0016】次に、コンタクトホール形成工程200として、フトリソグラフィにより各チップ領域の所定部位

上でシリコン酸化膜を選択開口し、コンタクトホールを形成する。更にこれと同時に各チップの所定領域上にそれぞれ異なる文字列または番号となる形状（チップ位置指定符号）を形成する（符号パターン形成工程、情報付与工程200）。なお、ウエハ面内の各チップに異なる形状を形成するため、マスクに形成されているパターンはウエハサイズのパターンであり、等倍露光を行っている。なお、縮小露光でも可能であるが、ウエハ面内全てのチップ領域それぞれに異なる形状をもたせるには、当然複数枚のマスクが必要となる。

【0017】ここでは、チップ位置指定符号をシリコン酸化膜のパターニングにより形成したが、当然それ以外のもの（例えばシリコン基板、アルミ膜、保護膜）におけるパターニングによっても形成可能である。次に、アルミ配線工程300にて、アルミ膜デポジット、フォトリソグラフィにより配線し、保護膜形成工程400として保護膜（例えばシリコン窒化膜）を形成し、フォトリソグラフィにより必要な部分（例えばワイヤボンディングパッド）を選択開口する（開口工程400）。

【0018】次に、ウエハナランバリング工程500として、ウエハの非チップ領域において、例えば露出するアルミ膜に機械的にウエハ番号やロット番号を記載する。次に、検査工程600として、各チップ領域の電気特性を検査する。この際のデータは例えばコンピュータにウエハ番号やチップ番号などとともに保存される。

【0019】次に、裏面加工・貫通溝形成工程700として、シリコン基盤裏面エッチング、貫通溝形成により加速度センサに必要なマス部や梁部を形成する。この後、再度上記のような各チップの電気検査が行われ、同様にデータが保存される。次に、カット工程800として、ウエハ1から各チップ領域2をダイシングして半導体チップ3を形成する。各半導体チップ3はウエハやロット毎に層別されて次の組み付け工程900に送られ、図3のようなパッケージ6に組み付けられる。ここでは、前記加速度センサ半導体チップの他に信号処理用のバイポーラICチップ4、電気トリミング用のEPROM付きMOSICチップ5が実装される。

【0020】次にトリミング工程1000として、実装後の半導体製品特性を電気トリミングにより調整する。このとき、上記EPROMにウエハ番号やロット番号が識別できる情報を書き込む。ウエハ番号やロット番号そのものを書きこんでも良いし、実装後の半導体製品個々の番号を書きこんでおき、この番号と対応するウエハ番号やロット番号を組み付け履歴として別途コンピュータに保管してもよい。また、上記EPROMの代わりにその他の形式の書き込み可能メモリを用いても良いし、薄膜抵抗ヒューズにより行なっても良い。また、金属薄膜抵抗のレーザートリミングを用いれば、識別符号記入用のエリアを形成しておき、レーザートリミング時にレーザーにより金属薄膜をパターニングすることで識別符号を形成しても良い。その他にも、パッケージ等々に上記と同等の番号、符号を例えば印刷によりマーキングしてもよい。

【0021】次に、検査工程1100として、チップ実装後の半導体製品個々の特性検査を行ない、良品を出荷したり、アセンブリに組み付けるための次工程に送る。この時のデータもコンピュータ等に保管する。なお、この実施例では、ウエハの識別は組み付け後に行なうが、半導体チップ3上に前記EPROMの書き込み可能メモリや金属薄膜等を加え、ダイシング前にウエハ識別情報を書き込めば、ダイシング以降の半導体チップのウエハ毎の層別管理の面倒を軽減することもできる。また、この際にはチップ位置識別情報を同時に書き込んでもよい。

【図面の簡単な説明】

【図1】本発明のチップ位置指定符号付きの半導体チップの一例を示す模式平面図である。

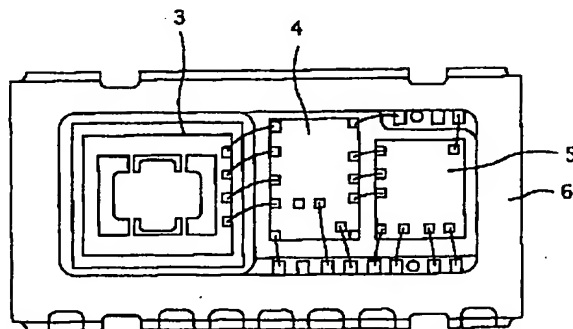
【図2】本発明を具体化した加速度センサの製造工程の一実施例を示す工程図である。

【図3】本発明の半導体チップを実装した状態を示す平面図である。

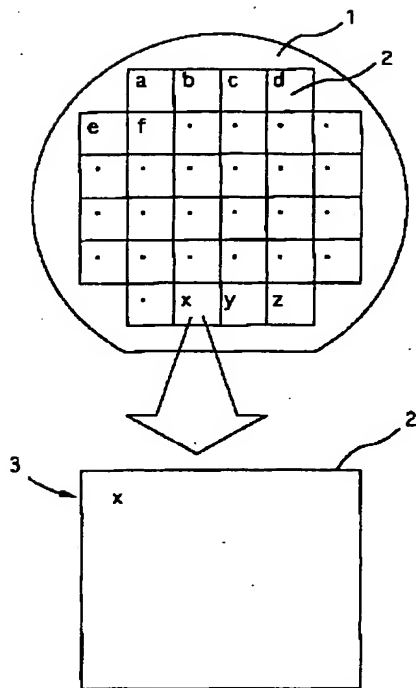
【符号の説明】

1はウエハ、2はチップ領域、3は半導体チップである。a～zはチップ位置指定符号。

【図3】



【図 1】



【図 2】

